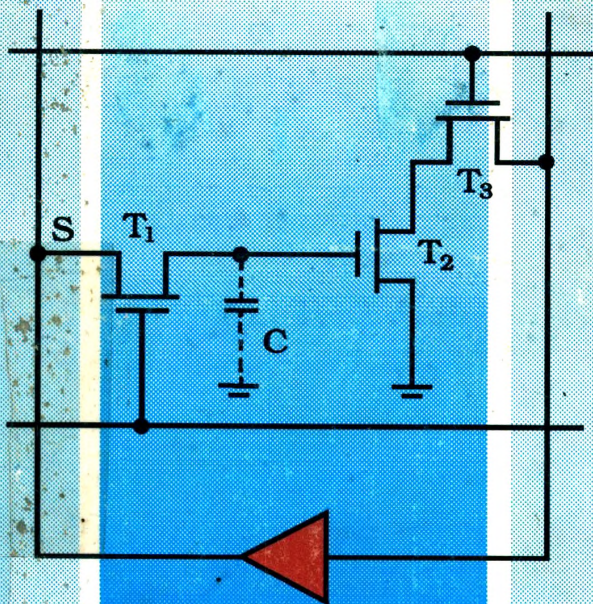




Kỹ thuật **ĐIỆN TỬ SỐ**



2



TS. ĐẶNG VĂN CHUYẾT

KĨ THUẬT ĐIỆN TỬ SỐ

(Tái bản lần thứ năm)

NHÀ XUẤT BẢN GIÁO DỤC

Chịu trách nhiệm xuất bản:

Chủ tịch HĐQT kiêm Tổng Giám đốc NGÔ TRẦN ÁI
Phó Tổng Giám đốc kiêm Tổng biên tập VŨ DƯƠNG THỤY

Biên tập lần đầu và tái bản :

DƯƠNG VĂN BẰNG

Biên tập kỹ thuật :

BÙI CHÍ HIẾU

Trình bày bìa :

TRẦN TIỂU LÂM

Chế bản :

PHÒNG CHẾ BẢN (NXB GIÁO DỤC)

MỤC LỤC

	<i>Trang</i>
Chương 1 - CÁC HỆ THỐNG SỐ ĐỀM VÀ MÃ	
1.1. Mở đầu	3
1.2. Hệ đếm nhị phân	5
1.3. Hệ đếm cơ số tám	13
1.4. Hệ đếm cơ số 16 (Hexadecimal)	15
1.5. Các số cơ đầu	17
1.6. Mã	19
Chương 2 - NHỮNG KHÁI NIỆM CƠ BẢN CỦA ĐIỆN TỬ SỐ	
2.1. Mở đầu	22
2.2. Các tín hiệu số	23
2.3. Các mạch số cơ bản	25
2.4. Các phép toán NAND và NOR	28
2.5. Phép toán Exclusive - OR (tổng có loại trừ XOR)	32
2.6. Các ví dụ về IC chứa cổng logic	33
2.7. Đại số Boole	34
Chương 3 - ĐẶC TÍNH CHUYỂN MẠCH CỦA CÁC THIẾT BỊ BÁN DẪN	
3.1. Mở đầu	39
3.2. Đặc tính chuyển mạch của diode bán dẫn	40
3.3. Diode Schottky	43
3.4. Đặc tính chuyển mạch của transistor lưỡng cực (Bipolar)	44
3.5. Transistor schottky	50
3.6. Transitor hiệu ứng trường	51
Chương 4 - CÁC HỌ LOGIC SỐ	
4.1. Mở đầu	52
4.2. Các đặc tính của những IC số	53
4.3. Resistor - Transistor Logic (RTL) (logic điện trở - tranzito)	58
4.4. Direct coupled transistor logic (DCTL) (logic dùng tranzito nối trực tiếp)	61
4.5. Integrated - Injection Logic (I ² L) (Logic tiêm dòng)	62
4.6. Diode transistor logic (DTL)	67
4.7. Logic ngưỡng cao (HTL)	73
4.8. Transistor - transistor logic (TTL)	74
4.9. Schottky TTL	79
4.10. 54/74 TTL	79
4.11. Emitter - coupled logic (ECL) (Logic ghép Emitter chung)	81
4.12. MOS logic	86
4.13. CMOS logic	89
4.14. Giao diện CMOS và TTL	94
4.15. Logic ba trạng thái (TRI-STATE logic)	96
4.16. Tổng kết	99
Chương 5 - THIẾT KẾ CÁC HỆ LOGIC TỔ HỢP	
5.1. Mở đầu	101
5.2. Các phương pháp biểu diễn hệ tổ hợp	102
5.3. Các phương pháp tối thiểu hóa hàm logic tổ hợp	111

5.4. Thiết kế các hệ tổ hợp	13
5.5. Vấn đề thời gian trong thiết kế các hệ tổ hợp	14

Chương 6 : CÁC MẠCH MSI DÙNG CHO THIẾT KẾ HỆ TỔ HỢP

6.1. Mở đầu	16
6.2. Các mảng logic có thể lập trình	16
6.3. Khoa và Steering Logic	17
6.4. Bộ đón kênh/Bộ chọn	16
6.5. Bộ giải mã/Bộ phân kênh	19
6.6. Các cổng ba trạng thái và hờ collector	16

Chương 7 : FLIP-FLOP

7.1. Mạch lật RS	23
7.2. RS có nhịp	25
7.3. Mạch lật D	26
7.4. Mạch lật T	29
7.5. Mạch lật JK	20
7.6. Ứng dụng JK trong mạch tạo xung đồng hồ	23

Chương 8 : HỆ LOGIC TRÌNH TỰ

8.1. Khái niệm	24
8.2. Các phương pháp biểu diễn hệ trình tự	26
8.3. So sánh giữa hệ Mealy và hệ Moore	26
8.4. Tham số thời gian của các tín hiệu	27
8.5. Tín hiệu nhịp có độ rộng hẹp và nhịp nhiều pha	29
8.6. Vấn đề lệch đồng bộ	32
8.7. Sự mất cân bằng động và các đầu vào không đồng bộ	34
8.8. Những hệ có mạch nhịp cục bộ	36

Chương 9 : CÁC HỆ LOGIC TRÌNH TỰ THƯỜNG GẶP

9.1. Thanh ghi đệm	41
9.2. Bộ đếm	45
9.3. Tổ chức BUS	50
9.4. Các bộ nhớ	52

Chương 10 : TỔNG HỢP HỆ LOGIC TRÌNH TỰ

10.1. Xây dựng biểu diễn của hệ logic trình tự	65
10.2. Tối thiểu hóa trạng thái trong của hệ	68
10.3. Mã hóa trạng thái	76
10.4. Việc chọn loại Flip-Flop và thực hiện	79
10.5. Phân tích hệ logic trình tự	84

Chương 11 : THỰC HIỆN HỆ LOGIC TRÌNH TỰ DỰA TRÊN MẠCH TÍCH HỢP CỖ LỚN

11.1. Tổng hợp hệ logic trình tự nhờ các mạch logic chương trình hóa được	91
11.2. Thực hiện hệ logic trình tự dùng bộ đếm	96
11.3. Thực hiện hệ logic trình tự nhờ các thiết bị logic chương trình hóa được	98